



Brazil-IP



**ipPROCESS**



**ipPROCESS**

**IP-cores no Brazil-IP**



## 1. IP-cores no Brazil-IP

Este documento apresenta uma lista dos principais IP-cores desenvolvidos e em desenvolvimento pela Rede Brazil-IP

### 1.1 IP-core desenvolvidos no período de 2003 a 2007

<b>Circuito</b>	<b>Instituição</b>	<b>Status do desenvolvimento</b>
Microcontrolador 8051	UFPE	Validado em FPGA e como ASIC
MP3	UNICAMP	Validado em FPGA e como ASIC
MPEG4	UFCG	Validado em FPGA e como ASIC
USB-Host controller	UFPE	- Validado em FPGA
MPEG2 encoder	UFPE	- Validado em FPGA
LCD controller	UFPE	- Validado em FPGA
FFT	UFPE	- Validado em FPGA
8255	UNICAMP	- Validado em FPGA - layout concluído, ASIC pronto a ser validado
8251	UNICAMP	- Validado em FPGA - layout concluído, ASIC pronto a ser validado
mini-processador	UNICAMP	- Validado em FPGA
Sensor wireless	UFRN	- Validado em FPGA - layout concluído, ASIC pronto a ser validado



## 1.2 Projetos de IP-cores a serem desenvolvidos no período de 2008 a 2009

<b>Instituição</b>	<b>Projeto</b>
UFPE	Projeto de um IP-core "Multichannel Buffered Serial Port (McBSP)"
UEFS	Decodificador de Áudio MPEG-2 AAC-LC
UFC	CPU com Suporte a IEEE 1149.1 e On-Chip Debug
UFMG	Módulo IP-core para Verificação Automática de Identidade Vocal
UFPA	Controlador Programável de Motor de Passo
UFPB	IP core para compressão sem perdas de sinais biológicos e imagens médicas
UFRN	Conversor Analógico-Digital
UFS	Desenvolvimento do módulo transmissor HDMI
UFSC	Desenvolvimento de "IP-Cores" para Sistemas de Rádio Frequência
UFSC	DCT-2D: IP-core para codificação de imagens em formato JPEG
UFES	Implementação fullduplex do protocolo IPv4 (Internet Protocol versão 4)
UFES	Amplificadores com Ajuste Digital de Parâmetros
UNESP	Módulo de processamento para a filtragem digital de imagens em tempo real
UNICAMP	Formação de Recursos Humanos em Projeto de IP-cores
UNIPAMPA	Projeto de uma Unidade Aritmética em Ponto Flutuante Padrão IEEE-754
UNIVALI	IP de Interface LIN Escravo para Sub-redes Automotivas